

WAVEFORM CONTROL CIRCUIT

Publication number: JP7283844

Publication date: 1995-10-27

Inventor: TAKAHASHI ISAO; ARAI YOSHIMASA

Applicant: SANYO ELECTRIC CO

Classification:

- international: H04L27/26; H03B28/00; H04L27/12; H04Q1/446;
H04Q7/38; H04L27/26; H03B28/00; H04L27/10;
H04Q1/30; H04Q7/38; (IPC1-7): H04L27/26;
H04Q1/446; H04Q7/38

- European:

Application number: JP19940069576 19940407

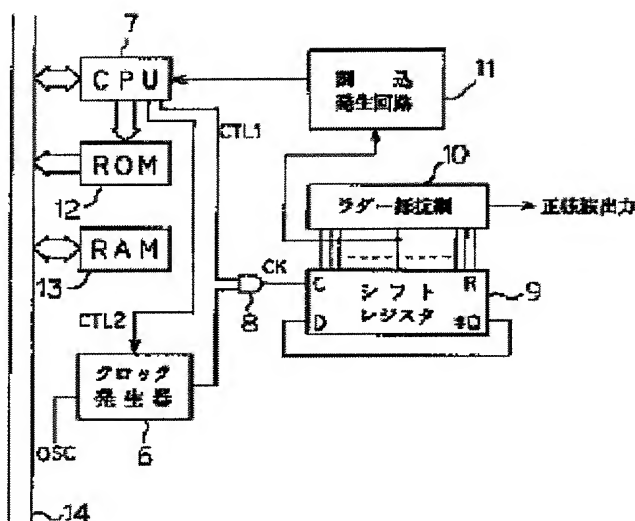
Priority number(s): JP19940069576 19940407

Report a data error here

Abstract of JP7283844

PURPOSE: To provide a waveform control circuit capable of making a voltage level formed by connecting each of sine waves of plural periods sent from a slave set of a telephone set to a master set as a radio signal into the level where the master set measures the period of the sine waves accurately.

CONSTITUTION: An output of a single flip-flop in which each sine wave changes at a specific level in each output from a shift register means 9 is given to an interrupt generating circuit 11. Thus, every time each sine wave reaches a specific level after lapse of one period, the interrupt generating circuit 11 detects an output change of the flip-flop to generate an interrupt signal and a CPU 7 detects the interrupt signal to generate a control signal CTL 2 varying a frequency of a clock signal CK. Thus, the frequency of the clock signal CK applied to the shift register means 9 is varied at a specific level of the sine wave. That is, each of sine waves outputted serially becomes a consecutive waveform connected at the specific level.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283844

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl.⁶

H 0 4 L 27/26

H 0 4 Q 7/38

1/446

識別記号

庁内整理番号

B 9297-5K

A

F I

技術表示箇所

H 0 4 B 7/26

1 0 9 Q

1 0 9 M

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平6-69576

(22) 出願日

平成6年(1994)4月7日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 高橋 功

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 新井 好将

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

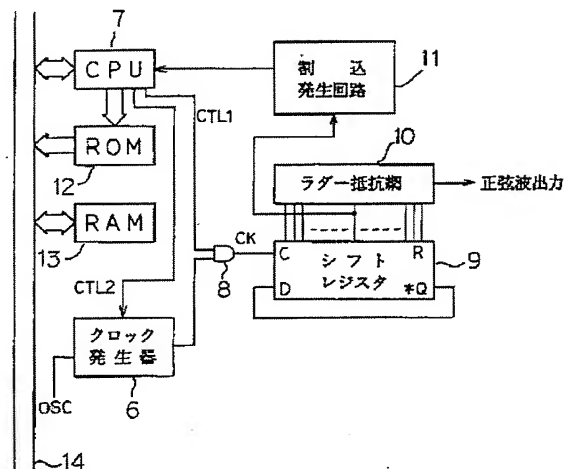
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 波形制御回路

(57) 【要約】

【目的】 電話器の子機から親機へ無線伝送される複数周期の各正弦波をつなぎ合わせる電圧レベルを、親機が正確に正弦波の周期測定を行うことのできるレベルとできる波形制御回路を提供することを目的とする。

【構成】 シフトレジスタ手段9の各出力の中で、各正弦波が特定レベルとなる位置で変化する単一フリップフロップ出力を割込発生回路11と接続する。これにより、各正弦波が1周期を経過して特定レベルとなる毎に、割込発生回路11が前記フリップフロップの出力変化を検出して割込信号を発生し、その後、CPU7が前記割込信号を検出してクロック信号CKの周波数を可変する為の制御信号CTL2を発生する。従って、シフトレジスタ手段9に印加されるクロック信号CKの周波数が正弦波の特定レベルで可変される。即ち、シリアル出力される各正弦波は特定レベルでつなぎ合わされた連続波形となる。



【特許請求の範囲】

【請求項1】 発振信号を基にクロック信号を発生するクロック発生手段と、
終段の出力を初段の入力に帰還する様に複数のフリップフロップを直列接続して成り、前記クロック信号に同期してデータを循環するシフトレジスタ手段と、
一端を前記シフトレジスタ手段の各出力と接続すると共に他端を共通接続して成り、共通接続点から前記シフトレジスタ手段の内容の変化に応じて正弦波に近似した階段波電圧を発生するラダー抵抗手段と、
前記シフトレジスタ手段の所定出力の変化を検出し、前記クロック信号の周波数を可変する為の割込信号を発生する割込発生手段と、
前記割込信号を検出し、前記クロック信号の周波数を可変する制御信号を発生する制御手段と、
を備えたことを特徴とする波形制御回路。

【請求項2】 前記割込発生手段は、前記階段波電圧が特定レベルとなる時の前記シフトレジスタ手段の所定出力の変化を検出することを特徴とする請求項1記載の波形制御回路。

【請求項3】 前記階段波電圧の特定レベルを境に該階段波電圧の周波数を可変できる様にしたことを特徴とする請求項2記載の波形制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、波形制御回路に関し、特に、電話器の子機から親機へ、ダイヤル情報（正弦波に近似した周波数が異なる階段波を1周期づつ組合せた情報）を無線伝送するのに好適な波形制御回路に関する。

【0002】

【従来の技術】 現在、各家庭で使用される電話器は、親機と子機とを組合せたコードレスタイプが主流となりつつある。ここで、親機は、電話回線を介して電話局の交換機側と接続されたものである。親機を使って外線通話する場合には、親機自体に設けた電話番号を伝送する為のテンキー（0～9）を操作し、テンキーに応じたDTMF波（周波数が異なる2種類の正弦波の合成波）を電話回線を介して交換機側に伝送するだけで良い。すると、交換機側は、前記DTMF波を解読し、前記親機から伝送された電話番号を判別する様になっている。これより、前記親機の利用者は、希望する相手先と通話できることになる。

【0003】 一方、子機は、親機と信号線では結合されていない。従って、子機を使用して外線通話を行う場合、子機のテンキー操作情報を親機に一旦無線伝送しなければならない。すると、親機は子機のテンキー操作情報を解読し、その後は上記動作と同様にして親機から交換機側へDTMF波を伝送することにより、外線通話が可能となる。

【0004】 さて、子機から親機へテンキー操作情報を無線伝送する場合、テンキー操作情報は、一般に、4ビットのデジタルデータで区別される。具体的には、テンキーの「0」～「9」はデジタルデータの「0000」～「1001」に相当する。更に、デジタルデータの「0」は周波数 f_1 を有する正弦波、デジタルデータの「1」は周波数 f_2 （ $=2f_1$ ）を有する正弦波に対応させる。これより、テンキー操作情報は、周波数 f_1 又は f_2 の正弦波を、テンキーの種類に応じて4周期分だけシリアルに接続した情報となる。例えば、テンキー「9」を操作した場合、周波数 f_2 の正弦波、周波数 f_1 の正弦波、周波数 f_1 の正弦波、及び、周波数 f_2 の正弦波を順次接続した正弦波が、子機から親機へ無線伝送される。

【0005】 図3は、上記連続する正弦波を発生する為の従来の波形制御回路を示す図である。図3において、（1-1）～（1-16）は、一端が共通接続された16本の抵抗である。（2）はクロック発生器であり、発振信号OSCをマイクロコンピュータ等からの指示に従って所定分周したクロック信号CKを発生するものである。例えば、該クロック発生器（2）は、複数のTフリップフロップ（図示せず）をカスケード接続すると共に、該複数のTフリップフロップの接続段数を前記指示に応じて切り換えられる様に構成されている。従って、該クロック発生器（2）からは周波数が異なるクロック信号CKを発生できる。（3-1）～（3-16）は、前段のQ（出力）端子が後段のD（データ）端子とカスケード接続されたDフリップフロップであり、R（リセット）端子はリセット信号RSTの発生源と接続され、C（クロック）端子はクロック発生器（2）の出力と接続されている。更に、終段のDフリップフロップ（2-16）のQ端子はインバータ（4）を介して初段のDフリップフロップ（2-1）のD端子と接続されている。即ち、Dフリップフロップ（3-1）～（3-16）はシフトデータを循環する構成になっている。また、Dフリップフロップ（3-1）～（3-16）の各Q端子は、各々インバータ（5-1）～（5-16）を介して抵抗（1-1）～（1-16）の他端と接続されている。以上の構成によれば、抵抗（1-1）～（1-16）の共通接続点から正弦波を出力できるが、この正弦波は階段波を近似させて形成されるものである。

【0006】 以下、図3の動作を図4の波形図を用いて説明する。尚、図4は、正弦波に相当する階段波を示すものであり、説明の都合上、前記階段波の変化レベルは一定としてある。初めに、時刻 t_0 において、Dフリップフロップ（3-1）～（3-16）がリセットされると、インバータ（5-1）～（5-16）の出力が全てハイレベルになる為、図4に示す様に、抵抗（1-1）～（1-16）の共通接続点には最大電圧 V_{dd} が発生することになる。その後、時刻 t_1 において、クロック信

3

号CKが立上ると、Dフリップフロップ(3-1)～(3-15)のQ端子のデータが後段のDフリップフロップ(3-2)～(3-16)のD端子に印加されると共に終段のDフリップフロップ(3-16)のQ端子のデータがインバータ(4)を介して初段のDフリップフロップ(3-1)のD端子に帰還される。これより、インバータ(5-1)の出力がローレベルになる他は残りのインバータ(5-2)～(5-16)の出力が全てハイレベルとなり、抵抗(1-1)～(1-16)の共通接続点から一段低い電圧を発生できる。以上より、Dフリップフロップ(3-1)～(3-16)がクロック信号CKの立上りに基づくシフト動作を32回繰り返すことにより、Dフリップフロップ(3-1)～(3-16)の16ビット出力データが時刻t0の階段波レベルを与える状態まで一巡し、1周期分の階段波を発生できる。尚、抵抗(1-1)～(1-16)の値は、図4の階段波が正弦波に近似する値に選択されている。特に、抵抗(1-1)(1-16)の値、抵抗(1-2)(1-15)の値、抵抗(1-3)(1-14)、・・・抵抗(1-8)(1-9)の値は各々等しく設定されている。

【0007】従って、マイクロコンピュータ等の指示により、クロック発生器(2)から得られるクロック信号CKの周波数を制御し、正弦波に近似した周波数が異なる階段波を1周期づつ組合せたシリアル波形を発生できる様にしていた。これにより、親機は子機のテンキー操作情報を認識していた。

【0008】

【発明が解決しようとする課題】ここで、正弦波に近似した周波数が異なる階段波(以下、正弦波と言う)を、1周期づつ組合せてシリアルに発生させる場合、親機が各階段波の周波数を確実に認識できる様に、本来は、各正弦波を同一電圧レベル毎につなぎ合わせる事が望ましい。例えば、各正弦波の1周期を中点電圧Vddから始めて該中点電圧Vddで終了する様にし、且つ、各正弦波を中点電圧Vddで接続すればよい。

【0009】一般に、親機は、子機から送信されて来る正弦波情報を、Vdd/2のスレッショルド電圧を有するインバータに取り込み、該インバータのローレベルからハイレベルへの出力変化を基に中点電圧Vdd/2を検出し、この時点から前記インバータの出力が再びローレベルからハイレベルに変化する迄の時間を計数する。この計数内容は、周波数f1及びf2の正弦波の1周期を表すことになる。そこで、周波数f1又はf2の正弦波の1周期を各々、T1、T2(>T1)とすると、T1<t<T2の関係にある時間tを表す計数内容を予め準備しておく。そして、実際に計数した計数内容と準備された計数内容とを比較し、実際の計数内容が準備された計数内容より小さい時、周波数f1の正弦波であると判断し、また、実際の計数内容が準備された計数内容より大

4

きい時、周波数f2の正弦波であると判断している。

【0010】しかしながら、正弦波の周波数の可変を示すマイクロコンピュータは、正弦波が或る時刻において如何なる電圧レベルにあるのかを検出する手段を有していない。即ち、1周期単位の各正弦波をつなぎ合わせる電圧は中点電圧Vdd/2に必ず定まるものではない。これより、中点電圧Vdd/2以外の電圧レベルで各正弦波がつなぎ合わされている場合に、親機が中点電圧Vdd/2を基準にこの正弦波の周期を測定しても、周波数f1(又はf2)の正弦波の途中から次に続く周波数f1(又はf2)の正弦波の途中までの時間を計数してしまうことになり、従って、周波数f1又はf2の正弦波の正しい1周期を計数できない問題があった。よって、親機は各正弦波の周期を正しく検出できず、子機のテンキー操作情報を正しく交換機側へ伝達できない問題があった。

【0011】そこで、本発明は、電話器の子機から親機へ無線伝送される複数周期の各正弦波をつなぎ合わせる電圧レベルを、親機が正確に正弦波の周期測定を行うことのできるレベルとできる波形制御回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、発振信号を基にクロック信号を発生するクロック発生手段と、終段の出力を初段の入力に帰還する様に複数のフリップフロップを直列接続して成り、前記クロック信号に同期してデータを循環するシフトレジスタ手段と、一端を前記シフトレジスタ手段の各出力と接続すると共に他端を共通接続して成り、共通接続点から前記シフトレジスタ手段の内容の変化に応じて正弦波電圧を発生するラダー抵抗手段と、前記シフトレジスタ手段の所定出力の変化を検出し、前記クロック信号の周波数を可変する為の割込信号を発生する割込発生手段と、前記割込信号を検出し、前記クロック信号の周波数を可変する制御信号を発生する制御手段と、を備えた点である。

【0013】

【作用】本発明によれば、シフトレジスタ手段を構成する複数のフリップフロップ手段の各出力の中で、各正弦波が特定レベルとなる位置で変化する単一フリップフロップ出力を割込発生手段と接続する。これにより、各正弦波が1周期を経過して特定レベルとなる毎に、割込発生手段が前記フリップフロップの出力変化を検出して割込信号を発生し、その後、制御手段が前記割込信号を検出してクロック信号の周波数を可変する為の制御信号を発生する。従って、シフトレジスタ手段に印加されるクロック信号の周波数が正弦波の特定レベルで可変される。即ち、シリアル出力される各正弦波は特定レベルでつなぎ合わされた連続波形となる。

【0014】

【実施例】本発明の詳細を図面に従って具体的に説明する。図1は本発明の波形制御回路を示す図である。尚、図1はマイクロコンピュータを構成するチップ上に設けられており、該マイクロコンピュータは電話器の子機側に内蔵されているものとする。

【0015】図1において、(6)はクロック発生器であり、発振信号OSCを所定分周し、前記マイクロコンピュータ内部の各部構成を動作させる為のクロック信号を発生するものである。尚、該クロック発生器(6)は、複数のTフリップフロップをカスケード接続すると共に該Tフリップフロップの接続段数をCPUからの指示に応じて切り換えられる様になっている。(7)はCPUであり、前記マイクロコンピュータ内部の各部構成を動作制御するものである。(8)はANDゲートであり、一方の入力にCPU(7)から出力される開閉制御信号CTL1が印加され、他方の入力にクロック発生器(6)から出力されるクロック信号CKが印加される。即ち、ANDゲート(8)は、正弦波波形を出力する指示に基づいて開閉制御信号CTL1がハイレベルになっている時にクロック信号CKを出力させる。(9)は16個のDフリップフロップのデータ入出力線をカスケード接続したシフトレジスタであり、終段のDフリップフロップの反転出力(*Q)は初段のDフリップフロップのデータ入力(D)と接続されている。また、16個のDフリップフロップのC端子にはANDゲート(8)から出力されるクロック信号CKが印加され、R端子にはリセット信号RSTが印加される。即ち、16個のDフリップフロップは、リセットされた後、クロック信号CKの立上りに同期してデータのシフト動作を行う。(10)は16本の抵抗から成るラダー抵抗網であり、各抵抗の一端は共通接続され、他端側は16個のDフリップフロップの各Q端子と接続されている。

【0016】図2は、図1に示したシフトレジスタ(9)及びラダー抵抗網(10)の詳細を示す図である。尚、図2は図3と同一構成であるので、同一符号を付すと共に同一部分についての説明は省略する。ところで、本実施例においては、子機から親機へ伝送すべき4周期分の各正弦波(テンキー操作情報)は、中点電圧 $V_{dd}/2$ を境に接続され連続させるものとする。また、図4において、リセット後に階段波が $V_{dd}/2$ となるのは、Dフリップフロップ(3-1)~(3-16)がクロック信号CKを基に8回のシフト動作を行った時である。つまり、Dフリップフロップ(3-8)の出力がローレベルからハイレベルに立上った時である。そこで、このDフリップフロップ(3-8)の出力Q8の立上り変化を検出する為、Dフリップフロップ(3-8)の出力Q8を後述する割込発生回路と接続している。

【0017】図1に戻り、(11)は割込発生回路であり、Dフリップフロップ(3-8)の出力の立上り変化を検出し、即ち、各正弦波が V_{dd} 側から中点電圧 $V_{dd}/$

2となった状態を検出し、次につなぎ合わせられる正弦波を発生する為の割込信号を発生するものである。(12)はROMであり、マイクロコンピュータを通常動作させる為のメインプログラムが記憶された領域と、この他に、子機のテンキーが操作された時にジャンプするサブブルーチンプログラムが記憶された領域とを有している。(13)はRAMであり、CPU(7)の演算処理結果の書き込み読み出しを行ったり、ROM(12)のプログラム命令に応じて、子機のテンキー操作に応じた4ビット情報を書き込んだりするものである。

【0018】以下、図1の動作の一例を説明する。つまり、子機を使って外線通話を行う場合を考える。この場合、従来の技術の項で述べた様に、子機から親機へ、テンキーに対応した4周期分の正弦波をシリアル転送しなければならない。例えば、テンキーの「6」番を操作すると、この「6」番を操作した事がCPU(7)で検出され、ROM(12)はメインプログラムの処理を中断してサブブルーチンプログラムへジャンプする。そして、ROM(12)のプログラム命令により、「6」番に相当する4ビットデータ「0110」がCPU(7)の内部レジスタからデータバス(14)を介してRAM(13)の特定アドレスに書き込まれ、また、シフトレジスタ(9)がリセットされ、開閉制御信号CTL1がハイレベルとなる。

【0019】次に、ROM(12)のプログラム命令により、RAM(13)の特定アドレスに書き込まれた4ビットデータの最下位ビット「0」がCPU(7)に取り込まれ、この結果、CPU(7)からクロック信号CKをデータ「0」に対応する周波数(例えば200Hz)とするクロック制御信号CTL2が発生する。これより、200Hzのクロック信号CKがシフトレジスタ(9)のC端子に印加され、図4に示す階段波を正弦波に近似した階段波がラダー抵抗網(10)から出力されることになるが、時刻 t_2 におけるDフリップフロップ(3-8)の最初の立上り変化で割込信号が発生しても、該割込信号をCPU(7)が受け付けずにプログラムが組まれている。つまり、時刻 t_2 からデータ「0」に対応する200Hzの周波数の正弦波を開始する訳である。そして、正弦波が時刻 t_3 に至る迄は、ROM(12)はメインプログラムにリターンする。

【0020】次に、時刻 t_3 になって、Dフリップフロップ(3-8)の出力が立上ると、割込発生回路(11)から割込信号が発生し、この割込信号がCPU(7)で検出され、ROM(12)はメインプログラム処理を中断して再びサブブルーチンプログラムへジャンプする。そして、ROM(12)のプログラム命令により、RAM(13)の特定アドレスに書き込まれた前記4ビットデータの下位2ビット目「1」がCPU(7)に取り込まれ、この結果、CPU(7)からクロックCKをデータ「1」に対応する周波数(例えば400H

7

z)とするクロック制御信号CTL2が発生する。これより、400Hzのクロック信号CKがシフトレジスタ(9)のC端子に印加され、時刻t3から、時刻t2からt3までの周波数の正弦波に対して2倍の周波数を有する正弦波が発生する。尚、ROM(12)は、Dフリップフロップ(3-8)の出力が再び立上るまで、メインプログラムにリターンする。

【0021】次に、Dフリップフロップ(3-8)の出力が再び立上ると、割込発生回路(11)から割込信号が発生し、この割込信号がCPU(7)で検出され、ROM(12)はメインプログラムを中断して再びサブルーチンプログラムへジャンプする。そして、ROM(12)のプログラム命令により、RAM(13)の特定アドレスに書き込まれた前記4ビットデータの下位3ビット目「1」がCPU(7)に取り込まれ、この結果、CPU(7)からクロック信号CKをデータ「1」に対応する400Hzの周波数とするクロック制御信号CTL2が継続して発生する。これより、400Hzのクロック信号CKがシフトレジスタ(9)のC端子に印加され、直前の正弦波と同じ2倍の周波数を有する正弦波が発生する。尚、ROM(12)は、Dフリップフロップ(3-8)の出力が再び立上るまで、再びメインプログラムにリターンする。

【0022】最後に、Dフリップフロップ(3-8)の出力が再び立上ると、割込発生回路(11)から割込信号が発生し、この割込信号がCPU(7)で検出され、ROM(12)はメインプログラムを中断して再びサブルーチンプログラムへジャンプする。そして、ROM(12)のプログラム命令により、RAM(13)の特定アドレスに書き込まれた前記4ビットデータの最上位ビット「0」がCPU(7)に取り込まれ、この結果、CPU(7)からクロック信号CKをデータ「0」に対応する200Hzの周波数とするクロック制御信号CTL2が発生する。これより、200Hzのクロック信号CKがシフトレジスタ(9)のC端子に印加され、直前の正弦波の1/2倍の周波数を有する正弦波が発生する。以上より、中点電圧Vdd/2のレベルで「0」及び「1」に対応する周波数の正弦波を確実につなぎ合わせることができる。尚、ROM(12)は、4ビットデータに対応する周波数の正弦波のつなぎ合わせが終了した為、開閉制御信号CTL1をローレベルとし、メインプログラムにリターンする。

【0023】そして、上記した4ビットデータ「0110」に対応して4周期分だけシリアル出力された正弦波

8

は、親機に取り込まれ、発明が解決しようとする課題の項で述べた動作と同様にして中点電圧Vdd/2を基準に周期判定を行い、その結果、如何なるテンキーが操作されたのかが確実に判別される。以上より、子機から親機へ4周期分の正弦波をシリアル伝送する場合、親機が有する周期検出部の仕様に依じて、各正弦波をつなぎ合わせる電圧レベルを任意に設定できる。つまり、マイクロコンピュータのチップ上において、割込発生回路(11)と接続されるシフトレジスタ(9)の任意の出力を選択し、マスク配線すれば良い。本実施例においては、親機の仕様に依じて、前記正弦波を中点電圧Vdd/2でつなぎ合わせているが、これに限定されないことはいうまでもない。

【0024】また、割込発生回路(11)は、Dフリップフロップ(3-8)の出力の立上り変化を検出する様に構成されているが、立下り変化を検出して割込信号を発生させる様にし、これより1周期の各正弦波を、0Vから中点電圧Vdd/2に立上る際の中点電圧Vdd/2でつなぎ合わせる様にしても良い。また、割込発生回路(11)は、Dフリップフロップ(3-8)の出力の立上り変化及び立下り変化の両方を検出して割込信号を発生する様にしても良く、この場合、各正弦波を半周期毎に中点電圧Vdd/2でつなぎ合わせることができる。

【0025】

【発明の効果】本発明によれば、電話器の子機から親機へ無線伝送される複数周期の各正弦波をつなぎ合わせる電圧レベルを、親機が正確に正弦波の周期測定を行うことのできるレベルとでき、これより、親機側で子機の操作情報を確実に判別できる利点が得られる。

【図面の簡単な説明】

【図1】本発明の波形制御回路を示す図である。

【図2】図1の要部を示す図である。

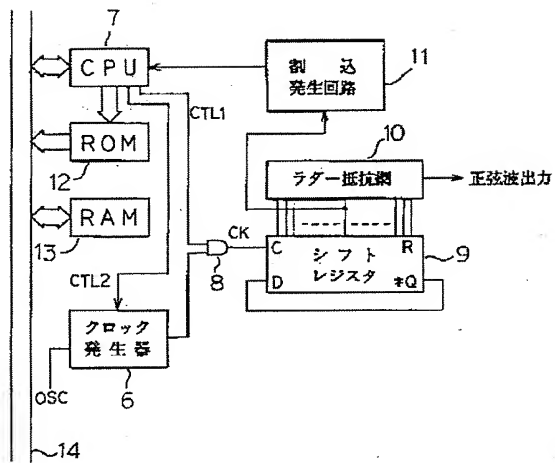
【図3】従来の波形制御回路を示す図である。

【図4】図1及び図3において発生する階段波を示す波形図である。

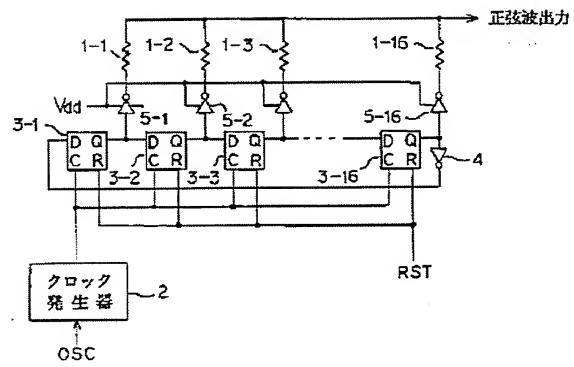
【符号の説明】

- (6) クロック発生器
- (7) CPU
- (9) シフトレジスタ
- (10) ラダー抵抗網
- (11) 割込発生回路
- (12) ROM
- (13) RAM

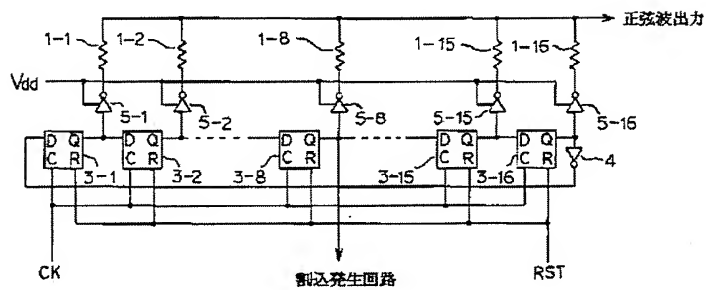
【図1】



【図3】



【図2】



【図4】

